

研 究 主 論 文 抄 録

論文題目 プログラマブル SoC 向けリコンフィギャラブルロジックに関する研究
 (Study on Reconfigurable Logic for Programmable SoC)

熊本大学大学院自然科学研究科 情報電気電子工学専攻 先端情報通信工学講座
(主任指導 末吉 敏則 教授)

論文提出者 井上 万輝
 (by Kazuki Inoue)

主論文要旨

《本文》

半導体製造技術の微細化に伴う開発コストの高騰により、高付加価値の製品を低コストで開発する LSI (Large Scale Integration) 設計の仕組みが必須となっている。その解決策として、SoC (System on a Chip) 上に FPGA (Filed Programmable Gate Array) のようなリコンフィギャラブルロジックを搭載したプログラマブル SoC に期待が寄せられている。しかしながら、プログラマブル SoC 向けリコンフィギャラブルロジックには、以下のように性能、テスト効率、信頼性に関して克服すべき課題がある。

(1) 性能面の課題

FPGA は専用回路より性能が低く、また FPGA は様々な回路を実装できるが、回路の種類によって性能にバラつきがある。したがって、あらゆるアプリケーションに対して高性能な FPGA 開発が求められる。

(2) 出荷テストの課題

FPGA ではデバイス構造上の理由から通常の LSI テスト手法を適用することができず、他の IP (Intellectual Property) よりもテストに時間を要してしまう。テスト時間の長期化は出荷の遅れにつながり、SoC の価値が損なわれる。したがって、プログラマブル SoC 向けとしては、FPGA のテスト効率改善が必要不可欠である。

(3) 信頼性における課題

製造不良や経年劣化により SoC の故障は免れない。専用回路では故障したデバイスは交換するが、それにはコストがかかる。FPGA はそのプログラマビリティを活かすことで、故障を回避して回路を動作させることが可能である。したがって、FPGA を組み込むことにより非常に低コストで高信頼 SoC を実現することができ、歩留り改善にも大きく寄与する。

本研究ではこれら 3 つの課題を個々または相互に解決する手段を提示するとともに、これら解決策の関係性について議論していく。

本論文は6章から成り、第1章では本研究の背景と目的について述べる。

第2章では、最も一般的なアイランドスタイル型FPGAについて述べる。そして、従来のFPGAの問題点を明確にし、またそれらの関係性を述べた後、本研究の主旨を以下のよう位置づける。

- ・粒度可変論理セル向け配線構造の提案
- ・テスト容易化配線構造の開発とそのテスト手法の提案
- ・故障検出手法と故障回避手法の開発

第3章では、FPGAの性能改善を目的に、粒度可変論理セル(VGLC)をベースとした配線構造の開発を行う。VGLCは算術演算と論理演算の両方を効率よく実装できる論理セルである。そして、このVGLCに適した配線構造を新たに開発することで、FPGAの性能改善を図る。具体的には、VGLCと外部配線間のインターフェースとしてLCB(Local Connection Block)を実装し、そのアーキテクチャについて検討する。提案LCB構造に対し、ベンチマークを実装し評価を行った。その結果、VGLCベースのFPGAに対してLCBを実装することで平均4%面積を削減することができ、LCBの有効性を確認できた。

第4章では、FPGAのテスト効率改善を目的とし、テスト容易化配線構造の開発とそれに対するテスト手法の提案を行う。従来のFPGA構造は非常に複雑な構造をしているためテストが困難であったが、本章で提案する配線構造は規則的で非常にシンプルな構造をしているためテストが容易となる。加えてその規則的な構造に着目したテスト手法を導入する。実際にテストを行い評価したところ、わずか5回のコンフィギュレーションで外部配線部分のテスト網羅率100%を達成することができ、配線構造の規則性とそれに合わせたテスト手法の効果を実証できた。加えて、配線構造の変更を軽微にとどめることにより、FPGAの性能低下を最小限に抑えることができた。

第5章では、ハードエラーに対する高信頼化を目的とし、故障検出手法と故障回避手法を提案する。故障検出は前章で提案したテスト手法をベースとし、故障検出精度を改善するために新たにいくつかのテストパターンを追加する。また、故障回避ではCADツールによる回避とアーキテクチャによる回避の2通りの方法を検討した。故障検出の評価を行ったところ、最良条件の場合わずか6回のコンフィギュレーションで故障位置を正確に判別することができた。またCADツールを用いて故障を回避した場合は遅延値の低下がほとんど見られないことも確認した。アーキテクチャによる回避では性能劣化が見られたものの、数サイクルでの故障回避が可能であることを示した。

最後に、第6章で本研究の成果についてまとめ、各解決策の関係性とプログラマブルSoC向けリコンフィギュラブルロジックの在り様について議論することで、冒頭で掲げた3つの課題を同時に満たすことができることを明らかにする。そして、今後の展望を述べる。